

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 許出願公開番号

特開平11-68093

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

6 5 2 M

6 5 2 C

6 5 3 A

審査請求 未請求 請求項の数7 O L (全 13 頁)

(21) 出願番号 特願平9-215025

(22) 出願日 平成9年(1997) 8月8日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 久保 博稔

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 北川 正直

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 恩田 全人

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 弁理士 安富 耕二 (外1名)

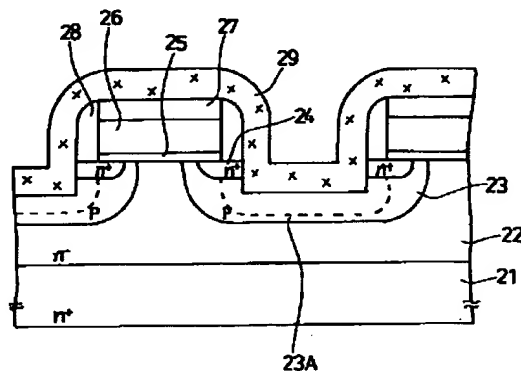
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 パワーMOSFETの製造工程におけるマスク工程の削減に関する。

【解決手段】 一導電型の半導体基板21と、その表層に形成された一導電型のドレイン層22と、ドレイン層22上の一部領域に形成されたゲート絶縁膜25と、ゲート絶縁膜25の上に形成されたゲート電極26と、その上に形成された絶縁膜27と、ゲート絶縁膜25、ゲート電極26及び絶縁膜27の側壁に形成されたサイドウォール28と、ゲート電極25及びサイドウォール28の形成領域以外の領域のドレイン層22上に形成された凹部と、その形成領域からゲート電極26の形成領域の周辺にわたって形成された逆導電型のチャンネル層23と、凹部の外側の領域のチャンネル層23上に形成された、一導電型のソース領域層24と、凹部より露出するチャンネル層23、サイドウォール28及び絶縁膜を被覆するように形成された配線層29とを有すること。



21: 半導体基板

22: ドレイン層

23: チャンネル層

23A: ボディコンタクト

24: ソース領域層

25: ゲート絶縁膜

26: ゲート電極

27: NSG膜 (絶縁膜)

28: サイドウォール

29: 配線層

1

## 【特許請求の範囲】

【請求項1】 一導電型の半導体基板と、

前記半導体基板の表層に形成された一導電型のドレイン層と、

前記ドレイン層上の一部領域に形成されたゲート絶縁膜と、

前記ゲート絶縁膜の上に形成されたゲート電極と、

前記ゲート電極上に形成された絶縁膜と、

前記ゲート絶縁膜、前記ゲート電極及び前記絶縁膜の側壁に形成されたサイドウォールと、

前記ゲート電極及び前記サイドウォールの形成領域以外の領域の前記ドレイン層上に形成された凹部と、

前記凹部の形成領域から前記ゲート電極の形成領域の周辺にわたって形成された逆導電型のチャンネル層と、

前記凹部の外側の領域の前記チャンネル層上に形成された、一導電型のソース領域層と、

前記凹部より露出する前記チャンネル層、前記サイドウォール及び前記絶縁膜を被覆するように形成された配線層とを有することを特徴とする半導体装置。

【請求項2】 一導電型の半導体基板と、

前記半導体基板の表層に形成された一導電型のドレイン層と、

前記ドレイン層上の一部領域に形成されたゲート絶縁膜と、

前記ゲート絶縁膜の上に形成されたゲート電極と、

前記ゲート電極上に形成された絶縁膜と、

前記ゲート絶縁膜、前記ゲート電極及び前記絶縁膜の側壁に形成されたサイドウォールと、

前記ゲート電極及び前記サイドウォールの形成領域以外の領域に形成された逆導電型のチャンネル層と、

前記チャンネル層の中央に形成された凹部と、

前記凹部の外側の前記チャンネル層上に形成された一導電型のソース領域層と、

前記凹部の下部の前記チャンネル層上に形成されたボディ領域層と、

前記ボディ領域層、前記ソース領域層、前記サイドウォール及び前記絶縁膜を被覆するように形成された配線層とを有することを特徴とする半導体装置。

【請求項3】 一導電型の半導体基板と、

前記半導体基板の表層に形成された一導電型のドレイン層と、

前記ドレイン層上に形成された逆導電型のチャンネル層と、

前記チャンネル層を貫通し、前記ドレイン層まで達するように設けられたトレンチと、

前記トレンチの内壁から、前記トレンチの形成領域の周辺の前記チャンネル層上にわたって設けられたゲート絶縁膜と、

前記トレンチを充填するように前記ゲート絶縁膜上に形成されたゲート電極と、

2

前記ゲート電極上に形成された絶縁膜と、

前記ゲート絶縁膜、前記ゲート電極及び前記絶縁膜の側壁を被覆するように形成されたサイドウォールと、

前記ゲート電極及び前記サイドウォールの形成領域以外の領域の一部の前記チャンネル層上に形成された凹部と、

前記凹部の外側の領域の前記チャンネル層上に形成されたソース領域層と、

前記凹部の形成領域の下の前記チャンネル層に形成されたボディ領域層と、

10 前記ソース領域層、前記ボディ領域層、前記サイドウォール及び前記絶縁膜を被覆するように設けられた配線層とを有することを特徴とする半導体装置。

【請求項4】 一導電型の半導体基板の表層に、一導電型のドレイン層を形成する工程と、

前記ドレイン層上に第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に導電体層を形成する工程と、

前記導電体層上に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜、導電体層及び前記第1の絶縁膜をパターニングして、前記第1の絶縁膜よりゲート絶縁膜を、前記導電体層よりゲート電極を、それぞれ形成する工程と、

20 前記ゲート電極をマスクにして前記ドレイン層の表層に逆導電型の不純物を注入してチャンネル領域層を形成する工程と、

前記ゲート電極をマスクにして前記チャンネル領域層上に一導電型の不純物を注入して一導電型不純物領域層を形成する工程と、

前記一導電型不純物領域層の表面と、前記ゲート絶縁膜、ゲート電極及び前記第2の絶縁膜の側壁と、前記第2の絶縁膜の上面を被覆するような第3の絶縁膜を形成する工程と、

30 前記第3の絶縁膜をエッチバックして、前記ゲート絶縁膜、ゲート電極及び前記第2の絶縁膜の側壁に、前記第3の絶縁膜よりなるサイドウォールを形成するとともに、前記一導電型不純物領域層をエッチングして凹部を形成し、前記一導電型不純物領域層の一部よりなるソース領域層を形成する工程と、

全面に金属層を形成し、これをパターニングして配線層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項5】 一導電型の半導体基板の表層に、一導電型のドレイン層を形成する工程と、

前記ドレイン層上に第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に導電体層を形成する工程と、

前記導電体層上に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜、導電体層及び前記第1の絶縁膜をパターニングして、前記第1の絶縁膜よりゲート絶縁膜を、前記導電体層よりゲート電極を、それぞれ形成する工程と、

40 前記ゲート電極をマスクにして前記ドレイン層の表層に

3

逆導電型の不純物を注入してチャネル領域層を形成する工程と、

前記ゲート電極をマスクにして前記チャネル領域層上に一導電型の不純物を注入して一導電型不純物領域層を形成する工程と、

前記一導電型不純物領域層の表面と、前記ゲート絶縁膜、ゲート電極及び前記第2の絶縁膜の側壁と、前記第2の絶縁膜の上面を被覆するような第3の絶縁膜を形成する工程と、

前記一導電型不純物領域層の中央部に選択的にレジストマスクを形成し、これをマスクにして前記第3の絶縁膜及び前記一導電型不純物領域層を選択的にエッチング・除去して、前記チャネル領域層の表面に凹部を形成するとともに、前記一導電型不純物領域層の一部よりなるソース領域層を形成する工程と、

前記レジストマスクをマスクにして、逆導電型不純物を前記凹部の下部に注入することでボディ領域層を形成する工程と、

前記レジストマスクを除去して、前記第3の絶縁膜の全面をエッチバックして、前記ゲート絶縁膜、ゲート電極及び前記第2の絶縁膜の側壁に、前記第3の絶縁膜よりなるサイドウォールを形成するとともに、前記ソース領域層を露出する工程と、

全面に金属層を形成し、これをパターニングして配線層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】 一導電型の半導体基板の表層に、一導電型のドレイン層を形成したのちに、前記ドレイン層の表層全面に逆導電型の不純物を拡散してチャネル層を形成する工程と、

前記チャネル層を貫通し、前記ドレイン層にまで達するトレンチを複数形成する工程と、

前記トレンチの内壁及び前記チャネル層の表面にわたって第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に導電体層を形成する工程と、

前記導電体層上に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜、前記導電体層及び前記第1の絶縁膜を同じマスクでパターニングし、前記第1の絶縁膜よりゲート絶縁膜を、前記導電体層よりゲート電極を、それぞれ形成する工程と、

前記ゲート電極をマスクにして前記チャネル層表面に一導電型の不純物を注入して、一導電型不純物領域層を形成する工程と、

全面に第3の絶縁膜を形成する工程と、

前記第3の絶縁膜をエッチバックして前記ゲート絶縁膜、ゲート電極及び前記第1の絶縁膜の側壁を被覆するサイドウォールを形成する工程と、

全面にフォトリソレジストを塗布し、露光・現像して前記一導電型不純物領域層の中央部に開口を形成し、前記レジスト膜をマスクにしてエッチングし、前記一導電型不純

4

物領域層の中央部を貫通して前記チャネル層に達する凹部を形成するとともに前記一導電型不純物領域層の一部よりなるソース領域層を形成する工程と、

前記レジスト膜をマスクにして、前記凹部の下部に逆導電型不純物を注入して、ボディ領域層を形成する工程と、

前記レジスト膜を除去し、前記ソース領域層、前記ボディ領域層、前記サイドウォール及び前記第2の絶縁膜を被覆する金属層を形成し、該金属層をパターニングして配線層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項7】 前記ソース領域層をトレンチを形成する前に形成する請求項6記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法に関し、さらに詳しくいえば、パワーMOSFETの製造工程におけるマスク工程の削減等に関する。

【0002】

【従来の技術】以下で、従来のパワーMOSFETについて図面を参照しながら説明する。図19は、従来のプレーナ型のパワーMOSFETの構造を説明する断面図である。このパワーMOSFETは、図19に示すように、n+型の半導体基板1上にn-型のエピタキシャル層からなるドレイン層2が形成され、その一部に、p型不純物拡散によって形成されたチャネル層3が形成されている。その中央にはp+型不純物が拡散されてなるボディ領域層5が形成されており、これを挟むようにしてn+型不純物拡散で形成されたソース領域層4がチャネル層3の表層に設けられている。

【0003】これらチャネル層3及びソース領域層4の一部領域と重複するように、ゲート絶縁膜6、ゲート電極7が順次チャネル層3上に形成されており、これらを被覆するようにPSG(Phospho-Silicate Glass)膜8が形成されている。このPSG膜8には、ボディ領域層5の形成領域と、ソース領域層4の形成領域の一部に開口が設けられており、ボディ領域層5、ソース領域層4の一部は露出している。そしてこれらのボディ領域層5、ソース領域層4の一部とコンタクトをとるための配線層9が、これらの上と、PSG膜8を被覆するように形成されている。

【0004】このパワーMOSFETの製造工程について図20～図25を参照しながら以下で説明する。まず、n+型の半導体基板1上に、n-型のドレイン層2をエピタキシャル成長によって形成する。次に、その上に厚い酸化膜を形成し、フォトリソグラフィ工程でレジスト膜を選択的に形成し、これをマスクにして厚い酸化膜をパターニングしたのちに、再びゲート絶縁膜となる酸化膜を形成する。この厚い酸化膜は、図20～図25のいずれにも図示していないが、ボンディングパッドを

5

形成する領域に必要な酸化膜である。

【0005】次いでその上面全面にポリシリコン層を形成し、フォトリソレジスト膜を形成し、フォトリソグラフィ法によってパターンニングし、パターンニングされたレジスト膜をマスクにしてポリシリコン層と酸化膜とをエッチングして、図20に示すようにゲート絶縁膜6とゲート電極7とを形成する。次に、図21に示すように、これらのゲート絶縁膜6、ゲート電極7をマスクにしてP型の不純物を注入してドレイン層2上にチャンネル層3を形成する。

【0006】次いで、図22に示すように全面にフォトリソレジストを塗布し、フォトリソグラフィ法によってチャンネル層3の一部に開口が形成されるようにパターンニングする。そしてパターンニングされたレジスト膜PR1をマスクにしてp型不純物をチャンネル層3に注入してボディ領域層5を形成する。その後、図23に示すように、パターンニングされたレジスト膜PR1を除去した後、改めてフォトリソレジストを全面に塗布し、フォトリソグラフィ法によってパターンニングしてボディ領域層5の形成領域にレジスト膜PR2を形成し、レジスト膜PR2、ゲート電極6等をマスクにして、n型不純物をチャンネル層3上に注入する。

【0007】次いで、図24に示すように、PSG膜8を全面に形成する。その後、再び不図示のフォトリソレジストを塗布し、フォトリソグラフィ法によりボディ領域層5とソース領域層4の一部領域上に開口が形成されるようにこのレジストをパターンニングする。次に、このレジストをマスクにしてPSG膜8をエッチングしてボディ領域層5とソース領域層4の一部領域を露出する。

【0008】その後、全面にスパッタや蒸着法によってアルミニウム等の金属膜を形成し、レジスト膜を形成し、フォトリソグラフィ法によってパターンニングし、これをマスクにして金属膜をエッチング・除去して配線層9を形成することにより、図19に示すような構造のパワーMOSFETが完成する。以上説明したのは、プレーナ型のパワーMOSFETであったが、パワーMOSFETには、このほかにトレンチ型のパワーMOSFETもある。これは基板にトレンチを形成し、ゲート電極をその中に埋めこんで形成するものである。

【0009】以下でトレンチ型のパワーMOSFETについて図26を参照しながら説明する。このパワーMOSFETは、図26に示すように、半導体基板11と、その上にエピタキシャル成長で形成されたn-型のドレイン層12と、その上に形成されたp型のチャンネル層13とを有する。

【0010】チャンネル層13とドレイン層12の一部には、これらを貫通するトレンチが形成されており、このトレンチの内面には酸化膜等からなるゲート絶縁膜16が形成されている。さらに、このトレンチを充填するようにポリシリコン等からなるゲート電極17が形成され

6

ている。また、ゲート電極17を挟んだチャンネル層13の表面には、n+型不純物からなるソース領域層15が形成されている。このソース領域層15の中央部には、p+型のボディ領域層14が形成されている。

【0011】さらに、ゲート電極17を被覆するようにPSG膜18が形成されている。このPSG膜18の一部には開口が設けられており、ここからボディ領域層14と、これに接するソース領域層15の一部が露出している。そして、この露出したボディ領域層14、ソース領域層15の一部とコンタクトをとるための配線層19が、この領域とPSG膜18の上に形成されている。

【0012】

【発明が解決しようとする課題】以上で説明したプレーナ型のパワーMOSFETについては、

- 1) 最初のボンディングパッド用の厚い酸化膜を形成するためのマスク形成工程
- 2) ゲート電極を形成するためのパターンニング用マスクの形成工程(図20)
- 3) ボディ領域5を形成するためのレジストマスク形成工程(図22)
- 4) ソース領域4を形成するためのレジストマスク形成工程(図23)
- 5) ソース領域4のコンタクトホールをPSG膜8に形成する際のレジストマスク形成工程(図25)
- 6) 配線層をパターンニングするためのレジストマスク形成工程

においてパターンニングのためのフォトリソ工程に用いるフォトマスクが必要なので、都合6枚ものフォトマスクが必要になる。

【0013】このため、マスク工程やこれに付随する工程が非常に多くなり、製造工程が複雑になり、製造コストが高くなってしまいう問題が生じていた。また、トレンチ型のパワーMOSFETについては、製造工程において、ボディ領域層及びソース領域層を、フォトリソレジストをマスクとして用いて形成している。このため、微細化には限度があり、セル密度を増加させることが困難であったという事情があった。

【0014】

【課題を解決するための手段】本発明は上記従来の欠点に鑑み成されたもので、図1に示すように、一導電型の半導体基板と、前記半導体基板の表層に形成された一導電型のドレイン層と、前記ドレイン層上の一部領域に形成されたゲート絶縁膜と、前記ゲート絶縁膜の上に形成されたゲート電極と、前記ゲート電極上に形成された絶縁膜と、前記ゲート絶縁膜、前記ゲート電極及び前記絶縁膜の側壁に形成されたサイドウォールと、前記ゲート電極及び前記サイドウォールの形成領域以外の領域の前記ドレイン層上に形成された凹部と、前記凹部の形成領域から前記ゲート電極の形成領域の周辺にわたって形成された逆導電型のチャンネル層と、前記凹部の外側の領域

7

の前記チャンネル層上に形成された、一導電型のソース領域層と、前記凹部より露出する前記チャンネル層、前記サイドウォール及び前記絶縁膜を被覆するように形成された配線層とを有することを特徴とする半導体装置や、一導電型の半導体基板と、前記半導体基板の表層に形成された一導電型のドレイン層と、前記ドレイン層上に形成された逆導電型のチャンネル層と、前記チャンネル層を貫通し、前記ドレイン層にまで達するように設けられたトレンチと、前記トレンチの内壁から、前記トレンチの形成領域の周辺の前記チャンネル層上にわたって設けられたゲート絶縁膜と、前記トレンチを充填するように前記ゲート絶縁膜上に形成されたゲート電極と、前記ゲート電極上に形成された絶縁膜と、前記ゲート絶縁膜、前記ゲート電極及び前記絶縁膜の側壁を被覆するように形成されたサイドウォールと、前記ゲート電極及び前記サイドウォールの形成領域以外の領域の一部の前記チャンネル層上に形成された凹部と、前記凹部の外側の領域の前記チャンネル層上に形成されたソース領域層と、前記凹部の形成領域の下の前記チャンネル層に形成されたボディ領域層と、前記ソース領域層、前記ボディ領域層、前記サイドウォール及び前記絶縁膜を被覆するように設けられた配線層とを有することを特徴とする半導体装置や、一導電型の半導体基板の表層に、一導電型のドレイン層を形成する工程と、前記ドレイン層上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に導電体層を形成する工程と、前記導電体層上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜、導電体層及び前記第1の絶縁膜をパターンニングして、前記第1の絶縁膜よりゲート絶縁膜を、前記導電体層よりゲート電極を、それぞれ形成する工程と、前記ゲート電極をマスクにして前記ドレイン層の表層に逆導電型の不純物を注入してチャンネル領域層を形成する工程と、前記ゲート電極をマスクにして前記チャンネル領域層上に一導電型の不純物を注入して一導電型不純物領域層を形成する工程と、前記一導電型不純物領域層の表面と、前記ゲート絶縁膜、ゲート電極及び前記第2の絶縁膜の側壁と、前記第2の絶縁膜の上面を被覆するような第3の絶縁膜を形成する工程と、前記第3の絶縁膜をエッチバックして、前記ゲート絶縁膜、ゲート電極及び前記第2の絶縁膜の側壁に、前記第3の絶縁膜よりなるサイドウォールを形成するとともに、前記一導電型不純物領域層をエッチングして凹部を形成し、前記一導電型不純物領域層の一部よりなるソース領域層を形成する工程と、全面に金属層を形成し、これをパターンニングして配線層を形成する工程とを有することを特徴とする半導体装置の製造方法や、一導電型の半導体基板の表層に、一導電型のドレイン層を形成したのちに、前記ドレイン層の表層全面に逆導電型の不純物を拡散してチャンネル層を形成する工程と、前記チャンネル層を貫通し、前記ドレイン層にまで達するトレンチを複数形成する工程と、前記トレンチの内壁及び前記チャンネル層の表

8

面にわたって第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に導電体層を形成する工程と、前記導電体層上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜、前記導電体層及び前記第1の絶縁膜を同じマスクでパターンニングし、前記第1の絶縁膜よりゲート絶縁膜を、前記導電体層よりゲート電極を、それぞれ形成する工程と、前記ゲート電極をマスクにして前記チャンネル層表面に一導電型の不純物を注入して、一導電型不純物領域層を形成する工程と、全面に第3の絶縁膜を形成する工程と、前記第3の絶縁膜をエッチバックして前記ゲート絶縁膜、ゲート電極及び前記第1の絶縁膜の側壁を被覆するサイドウォールを形成する工程と、全面にフォトリソを塗布し、露光・現像して前記一導電型不純物領域層の中央部に開口を形成し、前記リソ膜をマスクにしてエッチングし、前記一導電型不純物領域層の中央部を貫通して前記チャンネル層に達する凹部を形成するとともに前記一導電型不純物領域層の一部よりなるソース領域層を形成する工程と、前記リソ膜をマスクにして、前記凹部の下部に逆導電型不純物を注入して、ボディ領域層を形成する工程と、前記リソ膜を除去し、前記ソース領域層、前記ボディ領域層、前記サイドウォール及び前記第2の絶縁膜を被覆する金属層を形成し、該金属層をパターンニングして配線層を形成する工程とを有することを特徴とする半導体装置の製造方法により、上記課題を解決する。

【0015】

【発明の実施の形態】

(1) 第1の実施形態

以下で、本発明の第1の実施形態に係るプレーナ型のパワーMOSFETについて図面を参照しながら説明する。図1は、本実施形態に係るプレーナ型のパワーMOSFETの構造を示す断面図である。ここでは一例としてNチャンネル型のトランジスタで説明するが、Pチャンネル型のトランジスタでも適用できる。

【0016】このパワーMOSFETは、図1に示すように、 $n^+$ 型の半導体基板21上に $n^-$ 型のエピタキシャル層からなるドレイン層22が形成されている。このドレイン層22の一部には、ゲート絶縁膜25、ゲート電極26及びNSG膜27が順次形成されている。これらのゲート絶縁膜25、ゲート電極26及びNSG膜27の側壁には、やはりNSG膜からなるサイドウォール28が形成されている。

【0017】ゲート絶縁膜25、ゲート電極26及びNSG膜27の形成領域を挟んだエピタキシャル層22上には、 $p$ 型不純物拡散によって形成されたチャンネル層23が形成されている。このチャンネル層23の中央部には、サイドウォール28の側壁とその端部が一致する凹部が形成されており、その凹部の両側に $n^+$ 型のソース領域層24が形成されている。

【0018】さらに、上述の凹部におけるチャンネル層2

3、サイドウォール28、NSG膜27を被覆するように、アルミ等の金属膜からなる配線層29が形成されており、これによってソース領域層24とのコンタクトをとることができる。以下で上述の構造のパワーMOSFETの製造方法について図面を参照しながら説明する。図2～図5は本実施形態に係るパワーMOSFETの製造方法を説明する断面図である。

【0019】まず、n+型の半導体基板21上に、n-型のドレイン層22をエピタキシャル成長によって形成する。次に、その上に膜厚5000～10000Å程度の厚い酸化膜を形成し、フォトリソグラフィ法によってレジスト膜を選択的に形成し、これをマスクにして酸化膜をエッチングしてパターニングする。この厚い酸化膜は、図2～図5のいずれにも図示していないが、後にボンディングパッドを形成する領域に必要な酸化膜である。次に、改めて後にゲート絶縁膜となる酸化膜25Aを形成する。

【0020】次いでその上面全面に膜厚5000Å程度のポリシリコン層26Aを形成したのちに、膜厚5000～10000Å程度のNSG膜27を全面に形成する。引き続いてフォトレジストを全面に塗布して露光・現像してパターニングしてレジスト膜PRを形成する。ここまでの工程でパターニングされたレジスト膜PRが上面に形成された図2の構造を得る。

【0021】次に、パターニングされたレジスト膜PRをマスクにしてNSG膜27、ポリシリコン層26A、酸化膜25Aとをドライエッチングして、図3に示すようにゲート絶縁膜25、ゲート電極26を同時に形成する。その後、これらのゲート絶縁膜25、ゲート電極26をマスクにして、ドーズ量 $5 \times 10^{13}/\text{cm}^2$ 、加速電圧80KeVの条件でp型の不純物であるボロンを注入してn-型エピタキシャル層22上にチャネル層23を形成する。

【0022】この工程に引き続いて、ゲート絶縁膜25、ゲート電極26をマスクにしてドーズ量 $1 \times 10^{16}/\text{cm}^2$ 、加速電圧140KeVの条件でn型不純物であるAsを注入し、n+型不純物拡散層24Aを表面に形成する。次に、全面に再び膜厚8000ÅのNSG膜28Aを形成する。ここまでの工程で図4に示す構造を得る。

【0023】次いで、全面を異方性エッチングでエッチバックする。この工程で、ゲート絶縁膜25、ゲート電極26及びNSG膜27の側壁にサイドウォール28が形成され、それとともにチャネル層23の一部がエッチングされてしまい、ここに深さ0.2～0.6μm程度の凹部OBが形成される。このとき、凹部OBが形成されることによりn+型不純物拡散層24Aは図5に示すように分断され、ソース領域層24が同時に形成されることになる。

【0024】その後、ボロンを35KeV、 $5 \times 10^{15}$

/cm<sup>2</sup>の条件で打ち込み、P+型のボディコンタクト23Aを形成する。その後全面に蒸着又はスパッタ法によって膜厚3μm程度のアルミ等の金属膜を形成し、これをパターニングすることにより、図1に示すようなプレーナ型のパワーMOSFETが完成する。

【0025】本実施形態に係る半導体装置の製造方法によれば、ゲート電極26上にNSG膜27を形成したのちにさらにNSG膜28Aを全面に形成し、これをエッチバックしてサイドウォール28を形成するとともにエピタキシャル層22に凹部OBを形成することによってソース領域24を形成しているの、ソース領域24を形成する際に必要であったパターニングの際のフォトリソマスク工程が不要になる。

【0026】本発明の第1の実施形態では、全工程を通じて、フォトリソマスクが必要な工程は、

- 1) 最初のボンディングパッド用の厚い酸化膜を形成するためのマスク形成工程
- 2) ゲート電極を形成するためのパターニング用マスクの形成工程(図2)
- 3) 配線層をパターニングするためのマスク形成工程の3工程だけである。

【0027】このように、本実施形態では都合3枚のフォトリソマスクを使用するだけでよく、6枚のフォトリソマスクを用いていた従来と異なり、マスク工程やこれに付随する工程が非常に多くなり、製造工程が複雑になり、製造コストが高くなってしまいう問題を抑止することが可能になる。

(2) 第2の実施形態

以下で、本発明の第2の実施形態について図面を参照しながら説明する。

【0028】図6は本発明の第2の実施形態のプレーナ型のパワーMOSFETの構造について説明する断面図である。本発明の第2の実施形態に係るパワーMOSFETは、図6に示すように、図1で説明した第1の実施形態のパワーMOSFETと構造は酷似している。これとの相違点は、ソース領域層34の間にp+型のボディ領域40が形成されており、また、ソース領域層34が第1の実施形態よりも広く、その上面が露出している点である。

【0029】本発明の第2の実施形態に係るパワーMOSFETは、図6に示すように、n+型の半導体基板31上にn-型のエピタキシャル層32が形成されている。このエピタキシャル層32の一部には、ゲート絶縁膜35、ゲート電極36及びNSG膜37が順次形成されている。これらのゲート絶縁膜35、ゲート電極36及びNSG膜37の側壁には、やはりNSG膜からなるサイドウォール38が形成されている。

【0030】ゲート絶縁膜35、ゲート電極36及びNSG膜37の形成領域を挟んだエピタキシャル層32上には、p型不純物拡散によって形成されたチャネル層3

11

3が形成されている。このチャネル層33の中央部には、サイドウォール38の側壁とその端部が一致する凹部が形成されており、その凹部の両側にn+型のソース領域層34が形成されている。

【0031】さらに、上述の凹部におけるチャネル層33、サイドウォール38、NSG膜37を被覆するように、アルミ等の金属膜からなる配線層39が形成されており、これによってソース領域層34とのコンタクトをとることができる。以下で上述の構造のパワーMOSFETの製造方法について図面を参照しながら説明する。図7～図11は本実施形態に係るパワーMOSFETの製造方法を説明する断面図である。

【0032】まず、n+型の半導体基板31上に、n-型エピタキシャル層32をエピタキシャル成長によって形成する。次に、その上に厚い酸化膜を形成し、パターニングしたのちに、再びゲート絶縁膜となる酸化膜を形成する。この厚い酸化膜は、図7～図11のいずれにも図示していないが、ボンディングパッドを形成する領域に必要な酸化膜である。

【0033】次いでその上面全面にポリシリコン層を形成したのちに、NSG膜をやはり全面に形成する。引き続いてフォトレジストを全面に塗布し、露光・現像することでパターニングする。次に、パターニングされたレジスト膜PRをマスクにしてNSG膜37、ポリシリコン層36A、酸化膜35Aとをエッチングでパターニングすることにより、図7に示すようにゲート絶縁膜35、ゲート電極36を同時に形成し、これと同じパターンのNSG膜37を得る。

【0034】その後、図8に示すように、これらのゲート絶縁膜35、ゲート電極36をマスクにしてp型の不純物を注入してn-型エピタキシャル層32上にp型のチャネル層33を形成する。引き続いて、やはりゲート絶縁膜35、ゲート電極36をマスクにしてn型不純物を注入し、n+型不純物拡散層34Aを表面に形成する。

【0035】次に、全面に再びNSG膜38Aを形成し、全面にフォトレジストを塗布する。そしてフォトリソを用いて露光・現像してこれをパターニングすることで、ボディ領域40を後に形成する領域のレジストPRに開口を形成する(図9)。次いで、このレジストPRをマスクにしてエピタキシャル層32の表面に形成されたn+型不純物拡散層34Aをエッチングで除去して凹部OB2を形成し、ソース領域層34を形成する。その後、引き続いてp型の不純物をこの凹部OB2に注入することにより、ボディ領域40を形成する(図10)。

【0036】次に、レジストを除去した後、全面を異方性エッチングでエッチバックする。この工程で、図11に示すように、ゲート絶縁膜35、ゲート電極36及びNSG膜37の側壁にサイドウォール38が形成さ

12

れ、これと同時にソース領域34が露出する。その後全面に蒸着又はスパッタ法によってアルミ等の金属膜を形成し、これをパターニングすることにより、図6に示すようなプレーナ型のパワーMOSFETが完成する。

【0037】本実施形態に係る半導体装置の製造方法によれば、ゲート電極36上にNSG膜37を形成したのちにさらにNSG膜38Aを全面に形成し、これをエッチバックしてサイドウォール38を形成しており、さらに、エピタキシャル層32にボディ領域形成のための凹部OB2を形成することによってソース領域34を形成しているので、従来ソース領域を形成するパターニングの際のフォトマスク工程が不要になる。

【0038】本発明の第2の実施形態では、全工程を通して、フォトマスクは、

- 1) 最初のボンディングパッド用の厚い酸化膜を形成するためのマスク形成工程
- 2) ゲート電極を形成するためのパターニング用マスクの形成工程(図7)
- 3) ボディ領域を形成するための凹部を形成するためのマスク形成工程(図9)
- 4) 配線層をパターニングするためのマスク形成工程の4枚だけで足りることになる。

【0039】このように、本実施形態では都合4枚のフォトマスクを使用するだけでよく、6枚のフォトマスクを用いていた従来と異なり、マスク工程やこれに付随する工程が非常に多くなり、製造工程が複雑になり、製造コストが高くなってしまおうという問題を抑止することが可能になる。なお、上記の第2の実施形態における各種の膜の膜厚などの条件は、第1の実施形態とほぼ同様なので、説明を省略している。

【0040】(3)第3の実施形態

以下で、本発明の実施形態に係るトレンチ構造のパワーMOSFETについて図面を参照しながら説明する。図12は本実施形態に係るパワーMOSFETの構造を示す断面図である。最初にこのパワーMOSFETの構造について説明する。

【0041】このパワーMOSFETにおいては、図2に示すように、N+型シリコンからなる半導体基板41上に、エピタキシャル成長で形成されたN-型のドレイン層42が形成されている。そしてこのドレイン層42の表層に、P+型不純物拡散層からなるチャネル層43が形成されている。この半導体基板41にはチャネル層42を貫通して内部まで達するトレンチが複数形成されており、トレンチの表面には膜厚500Å程度のシリコン酸化膜からなるゲート絶縁膜46が形成されている。

【0042】また、ゲート絶縁膜46上には、トレンチを充填するようにポリシリコンからなるゲート電極47が形成されている。トレンチによって複数に分離されたチャネル層43の表層の一部には凹部が形成されている。この凹部を挟んでN+型不純物拡散層からなるソー



13

ソース領域層45がチャンネル層43上に形成されている。凹部の下のチャンネル層43には、p+型不純物からなるボディ領域層44が形成されている。ここでソース領域層の形成は、トレンチ形成前でも良い。

【0043】また、ゲート電極47の上部を被覆するように、ゲート電極47と同じパターンを有するNSG膜48が形成されている。加えて、NSG膜48、ゲート電極47、ゲート絶縁膜46の側壁には、これもNSG膜からなるサイドウォール49が形成されている。さらに、上記のNSG膜48、サイドウォール49、露出しているソース領域層45及びボディ領域層44を被覆するように、膜厚3 $\mu$ m程度のアルミ等の金属膜からなる配線層50が形成されている。

【0044】以下で、上記のトレンチ型パワーMOSFETの製造方法について図面を参照しながら説明する。図13～図18は、本実施形態に係るパワーMOSFETの製造方法を説明する断面図である。まず、N+型の半導体基板41の表層にエピタキシャル成長法によってN-型のドレイン層42を形成した後、そのドレイン層42の表層の全面にp+型不純物であるボロンをドー

ズ量 $5 \times 10^{13} \text{ cm}^{-2}$ の条件で注入して拡散することでチャンネル層43を形成する。

【0045】次に、レジストマスクを形成して、これをマスクにしてエッチングすることにより、チャンネル層43を貫通してドレイン層42にまで達するトレンチを複数形成する。次いで、全面を酸化して、チャンネル層43の表面からトレンチの内壁にわたるゲート絶縁膜46を形成し、その上面にCVD法によりポリシリコン層47Aを5000Å程度の厚さに形成する。

【0046】その後、NSG膜48を全面に形成することで図13に示すような構造を得る。次に、フォトレジストを全面に塗布し、露光・現像してパターンニングすることにより、トレンチの形成領域を含む領域のNSG膜48上に選択的に残存させ、これをマスクにしてポリシリコン層47A、NSG膜48をエッチング・除去してゲート電極47を形成する。次いで、これをマスクにしてn+型の不純物をチャンネル層43に注入して、n型不純物領域層45Aを形成する(図14)。

【0047】その後、図15に示すように、全面に再び膜厚8000Å程度のNSG膜49Aを形成する。次いで、図16に示すように、全面をエッチバックしてゲート電極47、NSG膜48の側壁にサイドウォール49を形成する。次に、図17に示すように、レジストを全面に塗布し、パターンニングして、n+型不純物領域層45Aの中央に開口OPが形成されたレジストマスクPRを形成する。そしてこれをマスクにしてn+型不純物領域層45Aをエッチングし、これを貫通するような凹部を形成する。

【0048】引き続いて、図18に示すように、レジストマスクPRを付けたままの状態、全面にp型の不純

14

物を注入し、凹部の下部にp+型不純物よりなるボディ領域層44を形成する。その後、レジストマスクPRを除去し、全面にアルミなどの金属膜を形成し、これをパターンニングすることで、図12に示すような構造のトレンチ型のパワーMOSFETが形成されることになる。

【0049】本実施形態に係るトレンチ型のパワーMOSFETの製造方法によれば、従来のように、ソース領域、ボディ領域を形成する際にレジストマスクを用いず、ボディ領域を形成するためにn+型不純物領域をエッチングして除去している。このため、微細化加工が可能になるので、セル密度をさらに向上させることが可能になるという利点もある。

【0050】また、上記の製造方法では、全部の工程を通じて、フォトマスクは、

- 1) トレンチを形成するためのパターンニング用マスクの形成工程
- 2) ゲート電極を形成するためのパターンニング用マスクの形成工程(図14)
- 3) ボディ領域を形成するための凹部を形成するためのマスク形成工程(図17)
- 4) 配線層をパターンニングするためのマスク形成工程の4枚で足りることになるので、マスク工程やこれに付随する工程が非常に多くなり、製造工程が複雑になり、製造コストが高くなってしまいうという問題を極力抑止することが可能になる。

【0051】また、上記の第1～第3の実施形態では、ゲート電極をポリシリコンで形成しているが、本発明はこれに限らず、例えばポリサイドや、金属を用いてもよい。さらに、種々の膜厚その他の条件についても、上記の数値に限られるものでないことはいうまでもない。

【0052】

【発明の効果】以上説明したように、本発明に係る半導体装置の製造方法によれば、ゲート電極をマスクにしてドレイン層の表層に逆導電型の不純物を注入してチャンネル領域層を形成し、ゲート電極をマスクにしてチャンネル領域層上に一導電型の不純物を注入して一導電型不純物領域層を形成し、一導電型不純物領域層の表面と、ゲート絶縁膜、ゲート電極及び第2の絶縁膜の側壁と、第2の絶縁膜の上面を被覆するような第3の絶縁膜を形成し、第3の絶縁膜をエッチバックして、ゲート絶縁膜、ゲート電極及び第2の絶縁膜の側壁に、第3の絶縁膜よりなるサイドウォールを形成するとともに、一導電型不純物領域層をエッチングして凹部を形成し、一導電型不純物領域層の一部よりなるソース領域層を形成している。

【0053】このため、パターンニング用のレジストマスクを形成するためのフォトリソグラフィ工程において必要なフォトマスクは、

- 1) 最初のボンディングパッド用の厚い酸化膜を形成するためのマスク形成工程



15

2) ゲート電極を形成するためのパターニング用マスクの形成工程

3) 配線層をパターニングするためのマスク形成工程の3枚だけで足りることになる。

【0054】これにより、プレーナ型のパワーMOSFETを製造する際に、6枚のフォトマスクを使用していた従来の製造方法に比して、マスク工程やこれに付随する工程の大幅な削減が可能になり、製造工程の省力化、製造コストの大幅な削減が可能になる。また、本発明の別の半導体装置の製造方法によれば、ゲート電極をマスクにしてチャンネル層表面に一導電型の不純物を注入して、一導電型不純物領域層を形成し、全面に第3の絶縁膜を形成し、第3の絶縁膜をエッチバックしてゲート絶縁膜、ゲート電極及び第1の絶縁膜の側壁を被覆するサイドウォールを形成し、全面にフォトリソグロフを塗布し、露光・現像して一導電型不純物領域層の中央部に開口を形成し、レジスト膜をマスクにしてエッチングし、一導電型不純物領域層の中央部を貫通してチャンネル層に達する凹部を形成するとともに一導電型不純物領域層の一部よりなるソース領域層を形成し、レジスト膜をマスクにして、凹部の下部に逆導電型不純物を注入して、ボディ領域層を形成し、レジスト膜を除去している。

【0055】このため、パターニング用のレジストマスクを形成するためのフォトリソグラフィ工程において必要なフォトマスクは、

1) トレンチを形成するためのパターニング用マスクの形成工程

2) ゲート電極を形成するためのパターニング用マスクの形成工程

3) ボディ領域を形成するための凹部を形成するためのマスク形成工程

4) 配線層をパターニングするためのマスク形成工程の4枚で足りる。

【0056】このため、トレンチ型のパワーMOSFETを製造する際に、6枚ものフォトマスクを用いていた従来の製造方法に比して、フォトマスク工程やこれに付随する工程を省略することができるので、製造工程が複雑になり、製造コストが高くなってしまうという従来生じていた問題を極力抑止することが可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るプレーナ型のパワーMOSFETの構造を説明する断面図である。

【図2】本発明の第1の実施形態に係るパワーMOSFETの製造方法を説明する第1の断面図である。

【図3】本発明の第1の実施形態に係るパワーMOSFETの製造方法を説明する第2の断面図である。

16

【図4】本発明の第1の実施形態に係るパワーMOSFETの製造方法を説明する第3の断面図である。

【図5】本発明の第1の実施形態に係るパワーMOSFETの製造方法を説明する第4の断面図である。

【図6】本発明の第2の実施形態に係るプレーナ型のパワーMOSFETの構造を説明する断面図である。

【図7】本発明の第2の実施形態に係るパワーMOSFETの製造方法を説明する第1の断面図である。

【図8】本発明の第2の実施形態に係るパワーMOSFETの製造方法を説明する第2の断面図である。

【図9】本発明の第2の実施形態に係るパワーMOSFETの製造方法を説明する第3の断面図である。

【図10】本発明の第2の実施形態に係るパワーMOSFETの製造方法を説明する第4の断面図である。

【図11】本発明の第2の実施形態に係るパワーMOSFETの製造方法を説明する第5の断面図である。

【図12】本発明の第3の実施形態に係るトレンチ型のパワーMOSFETの構造を説明する断面図である。

【図13】本発明の第3の実施形態に係るパワーMOSFETの製造方法を説明する第1の断面図である。

【図14】本発明の第3の実施形態に係るパワーMOSFETの製造方法を説明する第2の断面図である。

【図15】本発明の第3の実施形態に係るパワーMOSFETの製造方法を説明する第3の断面図である。

【図16】本発明の第3の実施形態に係るパワーMOSFETの製造方法を説明する第4の断面図である。

【図17】本発明の第3の実施形態に係るパワーMOSFETの製造方法を説明する第5の断面図である。

【図18】本発明の第3の実施形態に係るパワーMOSFETの製造方法を説明する第6の断面図である。

【図19】従来のプレーナ型のパワーMOSFETの構造を説明する断面図である。

【図20】従来のパワーMOSFETの製造方法を説明する第1の断面図である。

【図21】従来のパワーMOSFETの製造方法を説明する第2の断面図である。

【図22】従来のパワーMOSFETの製造方法を説明する第3の断面図である。

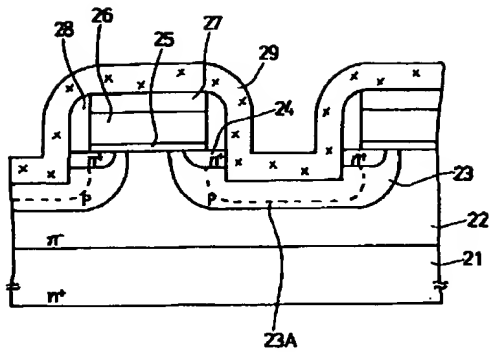
【図23】従来のパワーMOSFETの製造方法を説明する第4の断面図である。

【図24】従来のパワーMOSFETの製造方法を説明する第5の断面図である。

【図25】従来のパワーMOSFETの製造方法を説明する第6の断面図である。

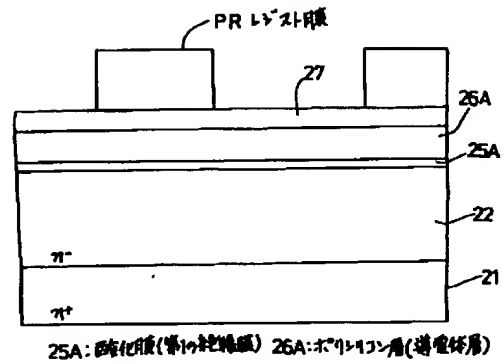
【図26】従来のトレンチ型のパワーMOSFETの構造を説明する断面図である。

【図1】



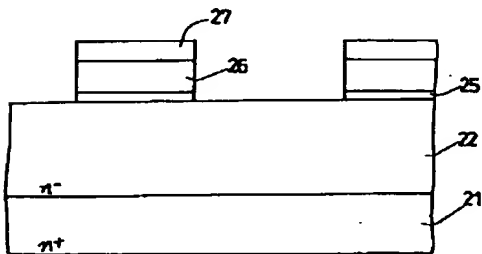
- |                |                  |
|----------------|------------------|
| 21: 半導体基礎      | 26: ｾﾞｰﾄﾞ電極      |
| 22: トランジスタ     | 27: NSG概説 (組立概説) |
| 23: ケネル層       | 28: サイリヤール       |
| 23A: ｾﾞｰｲﾝﾀﾞｸﾄ | 29: 西工録          |
| 24: ｿｰｽ領域      |                  |
| 25: ｾﾞｰﾄﾞ絶縁    |                  |

【図2】

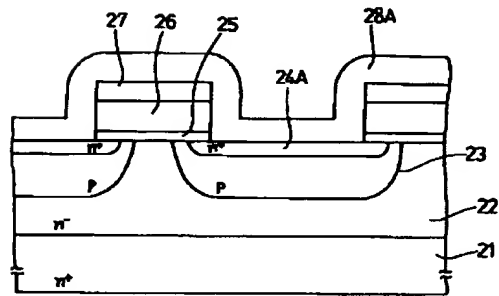


- 25A: 酸化膜(第1の絶縁膜) 26A: ポリシリコン層(導電体層)

【図3】

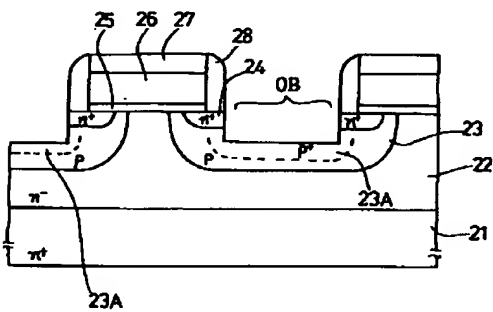


【図4】



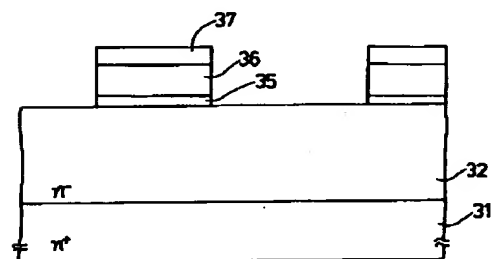
- 28A: NSG 腹 (第3の細胞膜)

【図5】

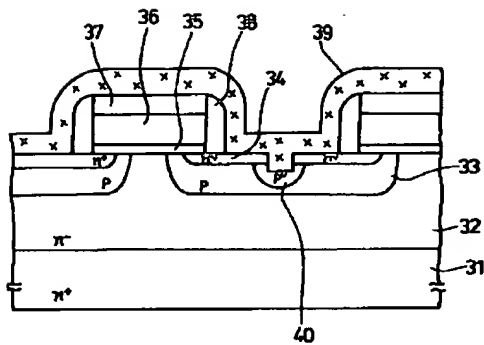


- OB: 凹部

【図7】

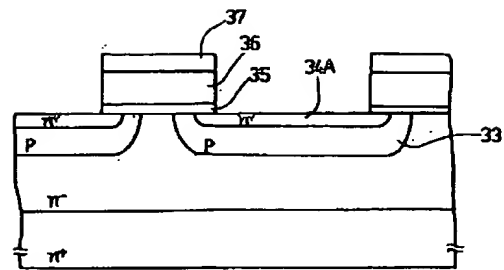


【図6】

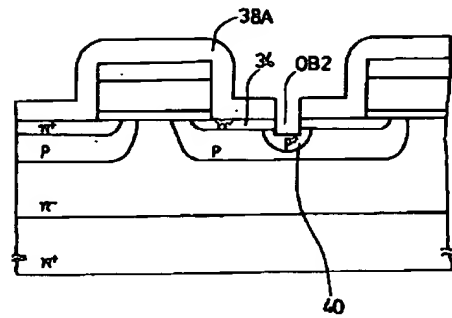


- |                 |                |
|-----------------|----------------|
| 31: 半導体基板       | 36: $n^+$ 電極   |
| 32: ドレイン層       | 37: NSG膜 (絶縁膜) |
| 33: 接触層         | 38: サイドウォール    |
| 34: $n$ -スリット領域 | 39: 配線層        |
| 35: $n^+$ 絶縁膜   | 40: 本質領域       |

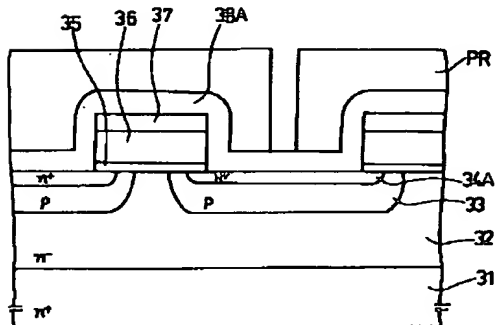
【図8】



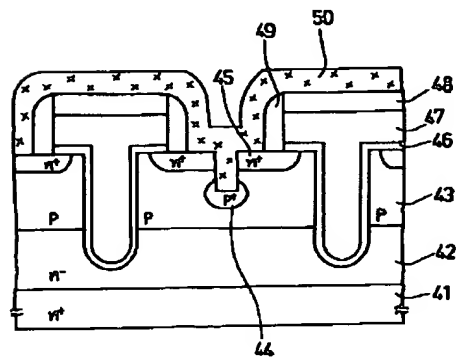
【図10】



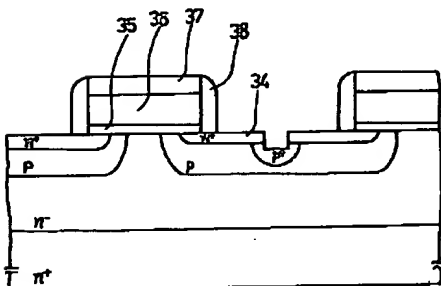
【図9】



【図12】

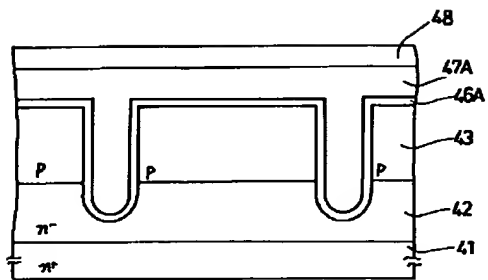


【図11】



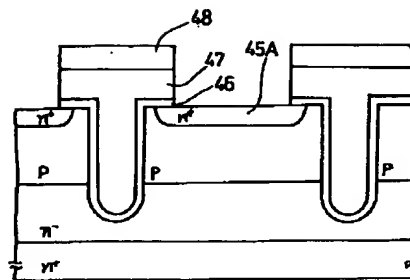
- |                 |               |
|-----------------|---------------|
| 41: 半導体基板       | 46: $n^+$ 絶縁膜 |
| 42: ドレイン層       | 47: $n^+$ 電極  |
| 43: 接触層         | 48: NSG膜      |
| 44: 本質領域        | 49: サイドウォール   |
| 45: $n$ -スリット領域 | 50: 配線層       |

【図13】

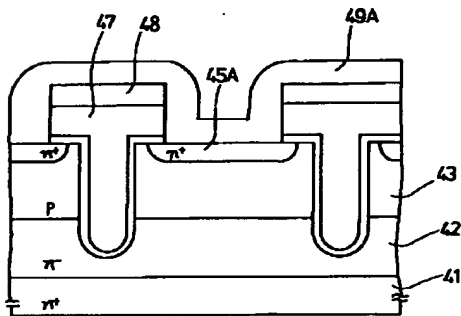


47A: ポリシリコン層

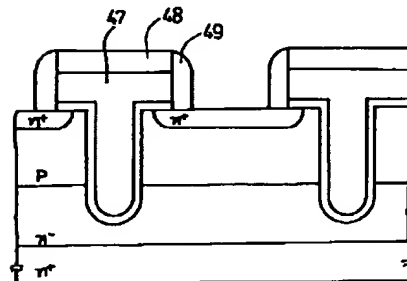
【図14】



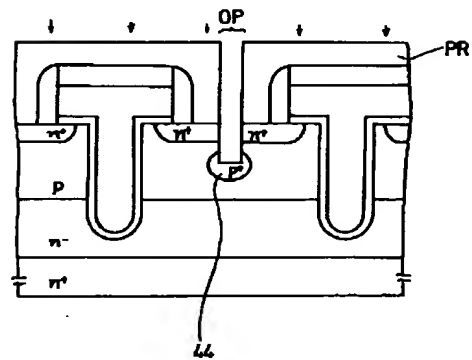
【図15】



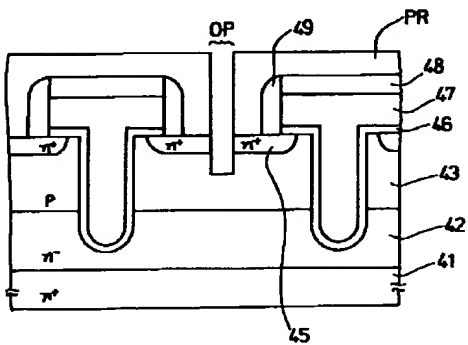
【図16】



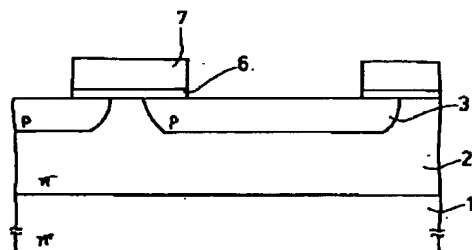
【図18】



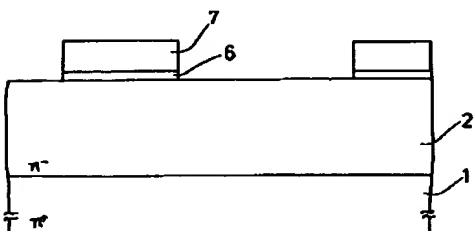
【図17】



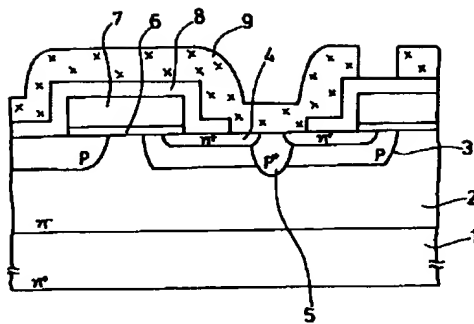
【図21】



【図20】

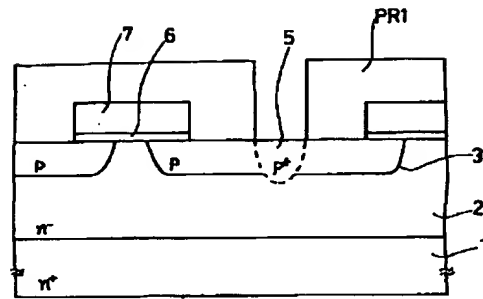


【図19】

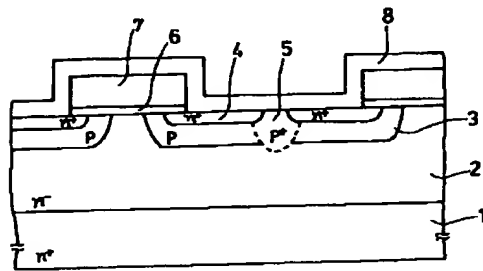


- |           |               |
|-----------|---------------|
| 1: 半導体基板  | 6: $n^+$ -絶縁膜 |
| 2: ドレイン層  | 7: $n^+$ -電極  |
| 3: チャネル層  | 8: PSG膜       |
| 4: ソース領域層 | 9: 配線層        |
| 5: 不活性領域層 |               |

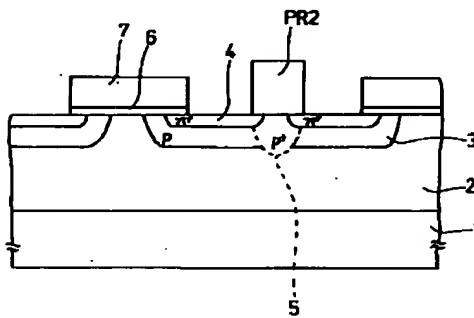
【図22】



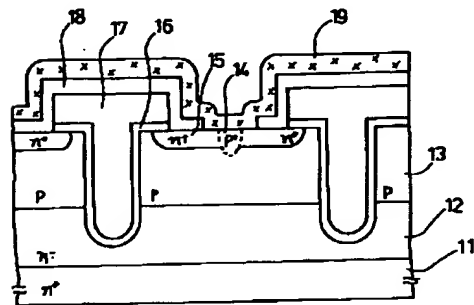
【図24】



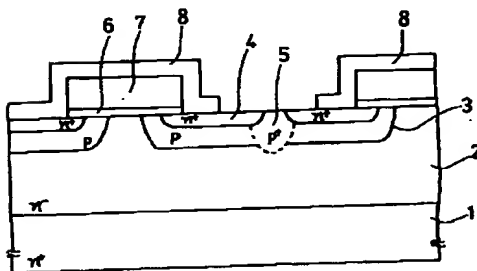
【図23】



【図26】



【図25】



- |            |                |
|------------|----------------|
| 11: 半導体基板  | 16: $n^+$ -絶縁膜 |
| 12: ドレイン層  | 17: $n^+$ -電極  |
| 13: チャネル層  | 18: PSG膜       |
| 14: ソース領域層 | 19: 配線層        |
| 15: 不活性領域層 |                |

フロントページの続き

(72)発明者 斎藤 洋明  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(72)発明者 桑子 栄一郎  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内